

PAT-NO: JP357145345A
DOCUMENT-IDENTIFIER: JP 57145345 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: September 8, 1982

INVENTOR-INFORMATION:
NAME
ITO, TAKASHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP56030862
APPL-DATE: March 4, 1981

INT-CL (IPC): H01L023/08

US-CL-CURRENT: 257/660, 257/703 , 257/704 , 257/E23.115

ABSTRACT:

PURPOSE: To prevent false operation of an element due to alpha rays by coating with an SiO_2 film the surface of the ceramic inside wall of a hermetic chamber of a package wherein a chip is fixed.

CONSTITUTION: The inside surface of a ceramic package is coated with an SiO_2 film, preferably with a synthetic filler 6. Therefore, the inside surface of the package is occupied by the coating 6 and either of a metal cap 2 or a metallized part 4 and a ceramic surface which is a main source of generation of alpha rays is not exposed, and thus the

2 .
.
false operation of the
element 3 can be prevented.

COPYRIGHT: (C)1982,JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-145345

⑮ Int. Cl.³
H 01 L 23/08

識別記号

庁内整理番号
7738-5F

⑬ 公開 昭和57年(1982)9月8日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭56-30862

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭56(1981)3月4日

東京都港区芝5丁目33番1号

⑲ 発 明 者 伊藤隆

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称
半導体装置

2. 特許請求の範囲

セラミック製気密封止形容器において、半導体チップを固着する気密室のセラミック製内壁表面をSiO₂膜で被覆したことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は、半導体装置にかかり、特に気密封止形の半導体装置に関する。

従来、この種の半導体装置は、その封止容器材料として、アルミナ等の天然物質を主原料としたセラミックを用い、素子搭載基板、基板周辺部の枠体、枠体上の蓋等を構成していた。

然るに、このセラミックは、何々の不純物を含み、中でも、ppmオーダーで含まれるところ

のウラン、トリウム等の放射性元素が放射するα線が、動作中の半導体素子面に到達すると、電子・正孔対を発生し、それらの電荷の影響で、半導体素子が誤動作するという問題があった。しかも、ppmオーダーの不純物を精製により除去することは、高度の技術を要し、大変困難であった。

そこで、このα線による素子の誤動作の防止策として、素子表面上、全体にわたって、不純物含有量のきわめて小さい合成樹脂等を被覆させ、素子へα線の侵入を阻止することが行われてきた。

然るに、この方法によれば、被覆材による素子及びボンディングワイヤに加わる応力、放熱性の低下等、素子へ種々の悪影響が及ぶことが考えられ、十分適切な対策とはいえない。

本発明は、上記のような素子への悪影響を及ぼすことなく、α線による素子の誤動作を防止する有効な半導体装置を提供することを目的とする。

本発明の構成は、封止容器の内側の面のうち、ボンディング部、シール部等の金属面を除いた部分、即ち、α線の主要発生源であるところのセラ

ミック面にわたって、ウラン、トリウム等の含有量のきわめて少ない SiO_2 膜好ましくは合成ファイラー(SiO_2)を被覆させることを特徴とした半導体装置である。被覆材であるところの合成物質としては種々の合成混合物、合成樹脂が考えられるが、ウラン、トリウムの含有量がppbオーダー以下であることが第一条件である。また、その被覆膜厚は、セラミックから放射される α 線が被覆材を貫通し得ないだけの十分なものでなければならぬ。

ここで、本発明の被覆材は SiO_2 膜である。これはセラミックへのコーティングのしやすさあるいは密着性、又熱伝導性を考え無鉛質の SiO_2 膜がシリコン樹脂、ポリイミドの有機材料よりすぐれているからである。そして純度の高い合成ファイラー(SiO_2)のような無鉛粉末が好ましいものである。

次に本発明の実施例を示す。

第1図は、一般にセラミックパッケージといわれるものに、本発明を実施したものの断面図であ

呼ばれる。

第2図は本発明の第2の実施例を示す断面図である。この種の容器は一般にサーディップケースと呼ばれる。

図において

1……セラミック、2……金属キャップ、3……半導体素子、4……メタライズ導体、5……リード、6……被覆材、7……シールガラスである。

代理人 弁理士 内 原 晋

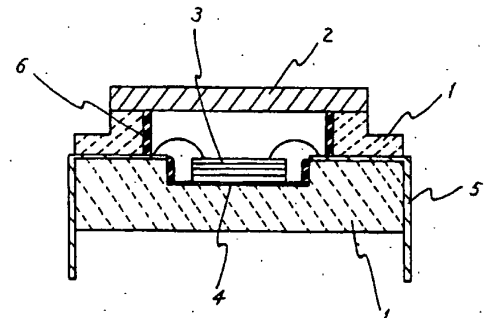
る。図において、1の破線で示される部分がセラミックであり、その容器内部の面に6で示されるところの SiO_2 膜好ましくは合成ファイラー6で被覆が施している。これによって容器内部の面は、この被覆部と金属キャップ2、メタライズ部4のいずれかで占められ、 α 線の主要発生源であるところのセラミック面はすべておおわれることになる。

同様に第2図は、本発明の第2の実施例である。この例においては、キャップがセラミックであるので、その裏面にも SiO_2 膜好ましくは合成ファイラー6を施している。

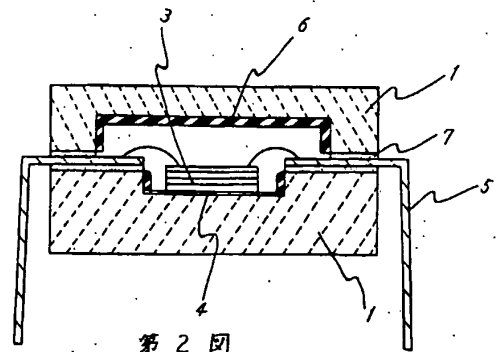
以上のように、本発明によれば、気密封止形の半導体装置において、素子面に何らの加工を施すことなく、 α 線による素子の誤動作を防止することができる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す断面図である。この種の容器は一般にセラミックケースと



第1図



第2図

手 続 補 正 書 (自発)

6 補正の内容 (特願昭56-50868)

昭和 56. 5. 18 日

(1) 明細書第5頁、15行目および16行目の
「無料」をそれぞれ「無償」と訂正いたします。

特 許 庁 長 官 殿

1. 事件の表示 昭和 56 年 特 許 願第 50868 号

代理人 弁理士 内 原 晋

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係

出 願 人

東京都港区芝五丁目33番1号

(423) 日本電気株式会社

代表者 関本忠弘

4. 代 理



東京都港区芝五丁目37番8号 住友三田ビル

日本電気株式会社内

(6591) 弁理士 内 原 晋

電話 東京(03) 456-3111(大代表)

(連絡先、日本電気株式会社 特許部)



5. 補正の対象

明細書の発明の詳細な説明の欄